

Docket No.: 60188-664

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Makoto TSUTSUE, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: September 30, 2003 : Examiner:
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-286767, filed September 30, 2002

A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: September 30, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-664
TSUTSUE et al.
Sept. 30, 2003

Mcdermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 / 2002年 9月30日
Date of Application:

出願番号 特願2002-286767
Application Number:

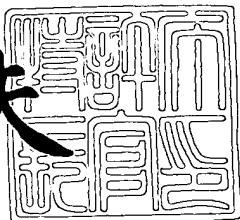
[ST. 10/C] : [JP 2002-286767]

出願人 松下電器産業株式会社
Applicant(s):

2003年 8月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3065746



【書類名】 特許願
【整理番号】 2926430383
【提出日】 平成14年 9月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内
【氏名】 筒江 誠
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内
【氏名】 薮 俊樹
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内
【氏名】 加藤 義明
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内
【氏名】 上田 哲也
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内
【氏名】 濑尾 晓
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成されるMIMキャパシタにおいて、同一金属層で形成された配線、下部電極及びパッド部と、前記下部電極上に設けた容量絶縁膜と、前記容量絶縁膜を介して前記下部電極と対向して形成された上部電極とを有する半導体装置。

【請求項 2】 前記配線と直接電気的に接続されるように形成された前記上部電極と前記パッド部上に形成されたパッド電極が同一金属層からなる請求項1記載の半導体装置。

【請求項 3】 前記容量絶縁膜は金属の拡散防止機能を有する請求項1又は2記載の半導体装置。

【請求項 4】 半導体基板上に形成されるMIMキャパシタにおいて、同一金属層で配線、下部電極及びパッド部を形成する工程（a）と、前記下部電極上に容量絶縁膜を形成する工程（b）と、前記容量絶縁膜を介して、前記下部電極と対向させて上部電極を形成する工程（c）とを有する半導体装置。

【請求項 5】 前記工程（c）において、前記配線と直接電気的に接続する前記上部電極と前記パッド部上のパッド電極を同時に同一金属層で形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項 6】 前記工程（b）において、前記容量絶縁膜は金属の拡散防止機能を有する請求項4又は5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はMIM（Metal-Insulator-Metal）キャパシタを備えた半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

近年、アナログデバイスとCMOSロジックデバイスのワンチップ化の検討が進められている。その中で、CMOSロジックデバイスは年々微細化が進み、MOSトランジスタのゲート長が $0.1\mu\text{m}$ 以下になると、配線抵抗を低減するために、配線材料として低比抵抗材料である銅(Cu)を用いることが検討され、また配線の形成方法としては、ダマシンプロセスが検討されている。一方、微細化の進展に伴い、トランジスタの集積度はますます向上し、CMOSロジックデバイスの配線層数は増大する傾向にある。このように、半導体デバイスの微細化および配線の多層化に伴い、デバイスの高集積化を妨げることなくアナログデバイス中のキャパシタを如何に高容量に形成するかということが問題となってくる。

【0003】

アナログデバイス中のキャパシタとして、例えば特許文献1では、ダマシンプロセスにより形成されたMIMキャパシタ電極において生じるディッシング等の問題を解決するために櫛型電極を採用する方法が提案されている。しかし、櫛形電極を用いると、電極面積に対して加工時にダメージを受ける領域が多く電極面積に対するキャパシタ容量が大きくならない。また、加工寸法バラツキによる容量バラツキ等の課題が生じる懸念がある。

【0004】

また、多層配線構造では、下層であればあるほど加工寸法が微細でありパターンも密集しているため大容量で大面積のキャパシタを形成することができない。

【0005】

また、特許文献2では、図5に示すように、複数の配線を覆う最上層絶縁膜304上に形成された薄膜コンデンサーが示されている。この薄膜コンデンサーは最上層絶縁膜304を貫通するビアホール306a、306bを介して最上層配線302に接続された下部電極308及び上部電極314、そして下部電極と上部電極に挟持された誘電体310で構成されている。

【0006】

しかし、この構造では、コンデンサーを形成するために必要な工程を、新たに全工程追加しなければならぬので工程数が大幅に増えることになる。

【0007】

【特許文献1】

特開2001-237375号公報

【特許文献2】

特開2002-033453号公報

【0008】

【発明が解決しようとする課題】

本発明は、上記問題を解決すべくなされたもので、MIMキャパシタを具備する半導体装置において、高容量で信頼性の高いMIMキャパシタを簡易な製造方法で形成することを目的とする。

【0009】

【課題を解決するための手段】

請求項1に係る半導体装置は、半導体基板上に形成されるMIMキャパシタにおいて、同一金属層で形成された配線、下部電極及びパッド部と、前記下部電極上に設けた容量絶縁膜と、前記容量絶縁膜を介して前記下部電極と対向して形成された上部電極とを備えるものである。これによれば、キャパシタの下部電極を配線とパッド部と同時に形成できるので、パッド部が形成される層では下層と比較してパターンが比較的疎であるので大面積の下部電極を形成することができる。

【0010】

請求項2に係る半導体装置は、前記配線と直接電気的に接続されるように形成された前記上部電極と前記パッド部上に形成されたパッド電極が同一金属層からなることを特徴とするものである。これによれば、キャパシタの上部電極をパッド電極と同時に形成できるので、パッド電極が形成される層では下層と比較してパターンが比較的疎であるので大面積の上部電極を形成することができる。

【0011】

請求項3に係る半導体装置は、前記容量絶縁膜は金属の拡散防止機能を備えた

ものである。これによれば、キャパシタの容量絶縁膜を下層の金属配線の拡散防止膜として使用できるため、電極間の絶縁膜を薄くでき、キャパシタ容量を大きくできる。

【0012】

請求項4に係る半導体装置の製造方法は、半導体基板上に形成されるMIMキャパシタにおいて、同一金属層で配線、下部電極及びパッド部を形成する工程(a)と、前記下部電極上に容量絶縁膜を形成する工程(b)と、前記容量絶縁膜を介して、前記下部電極と対向させて上部電極を形成する工程(c)とを有するものである。これによれば、キャパシタの下部電極を配線とパッド部と同時に形成できるので、下部電極のためだけに工程を追加することなく形成することができる。

【0013】

請求項5に係る半導体装置の製造方法は、前記配線と直接電気的に接続する前記上部電極と前記パッド部上のパッド電極を同時に同一金属層で形成するものである。これにより、キャパシタの上部電極をパッド電極と同時に形成できるので、上部電極のためだけに工程を追加することなく形成することができる。

【0014】

請求項6に係る半導体装置の製造方法は、前記容量絶縁膜は金属の拡散防止機能を有するものである。これによれば、キャパシタの容量絶縁膜を下層の金属配線の拡散防止膜として使用できるため、容量絶縁膜のためだけに工程を追加することなく形成することができる。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0016】

(実施の形態1)

図1～図2を参照しながら、本発明の半導体装置の実施の形態1について説明する。

【0017】

図1は、本発明の実施の形態1における半導体装置の断面図である。図2(a)～図2(d)は、本発明の実施の形態1における半導体装置の製造工程を示す断面図である。

【0018】

まず、図1に示す半導体装置の断面図において、シリコン基板に代表される半導体基板上にトランジスタ（図示せず）が形成された後、ビアホールを介して下層のトランジスタなどの素子と電気的に接続するための銅からなる配線208aが第1層間絶縁膜204に形成される。このとき、この配線208aと同じ銅からなる第1金属層208においてMIMキャパシタの下部電極208bとパッド部208cが形成されている。この下部電極208b及びパッド部208cも配線208aと同様にビアホールを介して下層に形成された素子と電気的に接続されている。さらにこの第1金属層208上には容量絶縁膜210が形成されている。そして容量絶縁膜210を介して下部電極208bに対向するようにアルミからなる上部電極214bが形成される。この上部電極214bは容量絶縁膜210に設けられた接続孔212を介して配線208aと電気的に接続するように形成される。また、上部電極214bと同じアルミからなる第2金属層214でパッド電極214aが形成されている。そして半導体基板全面に保護膜218が形成され、パッド電極214a上に開口部216が形成されている。

【0019】

以上のような半導体装置によれば、パッドが形成される金属層においてMIMキャパシタを形成することにより、配線及び配線間を接続するビアホールなどに阻害されず大面積のMIMキャパシタ電極を形成することができる。

【0020】

次に本発明の実施の形態1における半導体装置の製造方法について図2(a)～図2(d)を用いて説明する。

【0021】

図2(a)に示すように半導体基板上に形成された第1層間絶縁膜204に配線溝206aと下部電極溝206bとパッド部溝206cを形成する。

【0022】

次に図2（b）に示すように、配線溝206aと下部電極溝206bとパッド部溝206c内に電気メッキ法で銅からなる第1金属層208を埋め込むように堆積させた後、CMP（化学的機械研磨）法により研磨することで、配線208aとMIMキャパシタの下部電極208bとパッド部208cを形成する。

【0023】

次に図2（c）に示すようにMIMキャパシタの容量膜及び金属の拡散防止膜としての塗化シリコン膜からなる容量絶縁膜210をCVD法を用いて形成する。そして配線208a上及びパッド部208c上の容量絶縁膜210にドライエッチングにより接続孔212を形成する。そして、容量絶縁膜210上にスパッタ法でアルミからなる第2金属層214を形成する。そして容量絶縁膜210を介して下部電極208bに対向するように上部電極214bを形成する。このとき上部電極214bは下層の配線208aと接続孔212を介して電気的に接続するように形成する。また、同時にパッド電極214aをドライエッチングにより形成する。

【0024】

次に図2（d）に示すように、半導体基板上に保護膜218を形成し、パッド電極214a上に開口部216を形成する。

【0025】

以上のような半導体装置の製造方法によれば、パッドが形成される金属層においてMIMキャパシタを形成することにより、配線及び配線間を接続するビアホールなどに阻害されず大面積のMIMキャパシタ電極を形成することができる。さらにMIMキャパシタを、配線とパッド電極の形成工程において同時に形成できるため、MIMキャパシタ形成にかかる工程を新たに追加する必要を少なくすることができる。

【0026】

（実施の形態2）

図3～図4を参照しながら、本発明の半導体装置の実施の形態2について説明する。

【0027】

図3は、本発明の実施の形態2における半導体装置の断面図である。図4（a）～図4（d）は、本発明の実施の形態2における半導体装置の製造工程を示す断面図である。

【0028】

まず、図3に示す半導体装置の断面図において、シリコン基板に代表される半導体基板上にトランジスタ（図示せず）が形成された後、ビアホールを介して下層のトランジスタなどの素子と電気的に接続するための配線208aが第1層間絶縁膜204に形成される。このとき、この配線208aと同じ銅からなる第1金属層208においてMIMキャパシタの下部電極208bとパッド部208cが形成されている。この下部電極208bとパッド部208cも配線層208aと同様にビアホールを介して下層に形成された素子と電気的に接続されている。さらにこの銅からなる第1金属層208上には容量絶縁膜210が形成されている。そして容量絶縁膜210を介して下部電極208bに対向するようにアルミからなる上部電極214bが形成される。さらにこの上部電極214bを覆うように第2層間絶縁膜220が形成される。そして配線208aと上部電極214bを開口部222a及び222bを介してアルミからなる金属膜224aで電気的に接続されている。一方、パッドとして金属膜224bが開口部222cを介してパッド部208cを覆うように接続されている。そして半導体基板上に金属膜224b上が開口された窒化シリコンからなる保護膜218が形成される。

【0029】

以上のような半導体装置によれば、パッドが形成されるような半導体基板の上層にMIMキャパシタを形成することにより、配線及び配線間を接続するビアホールなどに阻害されず大面積のMIMキャパシタ電極を形成することができる。

【0030】

次に本発明の実施の形態2の半導体装置の製造方法について図4（a）～図4（d）を用いて説明する。

【0031】

図4（a）に示すように半導体基板上に形成された第1層間絶縁膜204に配線溝206aと下部電極溝206bとパッド部溝206cを形成する。

【0032】

次に図4 (b) に示すように、配線溝206aと下部電極溝206bとパッド部溝206c内に電気メッキ法で銅からなる第1金属層208を埋め込むように堆積させた後、CMP（化学的機械研磨）法により研磨することで、配線208aとMIMキャパシタの下部電極208bとパッド部208cを形成する。そして、MIMキャパシタの容量膜及び銅の拡散防止膜としての塗化シリコン膜からなる容量絶縁膜210をCVD法を用いて形成する。

【0033】

次に図4 (c) に示すように、容量絶縁膜210上にスパッタ法でアルミからなる第2金属層214を形成する。そして容量絶縁膜210を介して下部電極208bに対向するように上部電極214bをドライエッチングにより形成する。その後、第2層間絶縁膜220を半導体基板上に形成する。

【0034】

次に図4 (d) に示すように、第2層間絶縁膜220上に開口部222a、222b、222cを形成する。そして上部電極214bと配線208aを電気的に接続させるためにアルミからなる金属膜224aを形成する。また、これと同時にパッドとしての金属膜224bを形成する。その後、半導体基板上に保護膜218を形成し、アルミからなる金属膜224b上を開口させる。

【0035】

以上のような半導体装置の製造方法によれば、パッドが形成される金属層においてMIMキャパシタを形成することにより、配線及び配線間を接続するビアホールなどに阻害されず大面積のMIMキャパシタ電極を形成することができる。さらにMIMキャパシタを、配線とパッド電極の形成工程において同時に形成できるため、MIMキャパシタ形成にかかる工程を新たに追加する必要を少なくすることができる。

【0036】

【発明の効果】

以上説明したように本発明によれば、金属電極ー絶縁膜ー金属電極を順次積層してなるMIMキャパシタを具備する半導体装置及び半導体装置の製造方法にお

いて、キャパシタ電極を、下層と比較してパターン密度が疎であるパッド部が形成される金属層で形成することで、MIMキャパシタを下層配線層中に形成する場合に比べて電極の面積を大きくできる。さらに、キャパシタ電極をパッド部と同一金属層で同時に形成することで、製造工程を共通化でき、MIMキャパシタ電極を最上層に形成する場合に比べて、少ない工程を新たに追加するだけで形成することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 における半導体装置の断面図

【図 2】

(a) ~ (d) は、本発明の実施の形態 1 における半導体装置の製造工程を示す断面図

【図 3】

本発明の実施の形態 2 における半導体装置の断面図

【図 4】

(a) ~ (d) は、本発明の実施の形態 2 における半導体装置の製造工程を示す断面図

【図 5】

従来における半導体装置の断面図

【符号の説明】

204 第1層間絶縁膜

206a 配線溝

206b 下部電極溝

206c パッド部溝

208 第1金属層

208a 配線

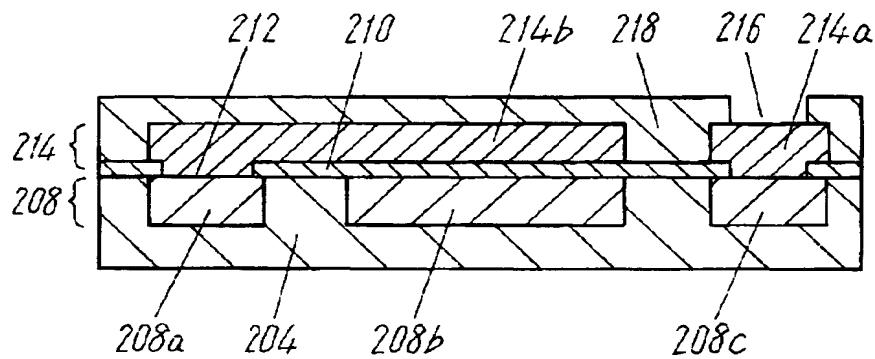
208b 下部電極

208c パッド部

210 容量絶縁膜

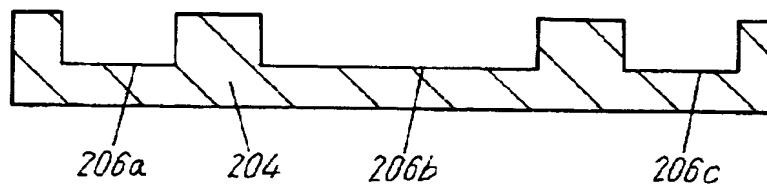
212 接続孔
214 第2金属層
214a パッド電極
214b 上部電極
216 開口部
218 保護膜
220 第2層間絶縁膜
222a 開口部
222b 開口部
222c 開口部
224a 金属膜
224b 金属膜

【書類名】 図面
【図 1】

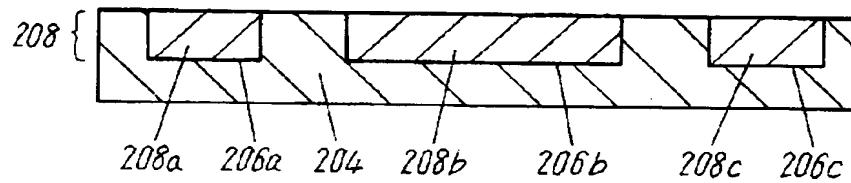


【図2】

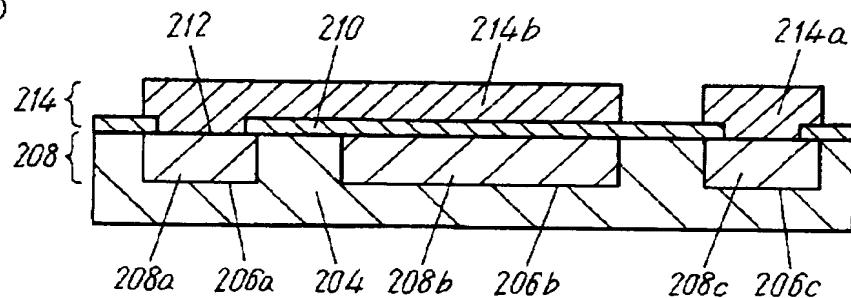
(a)



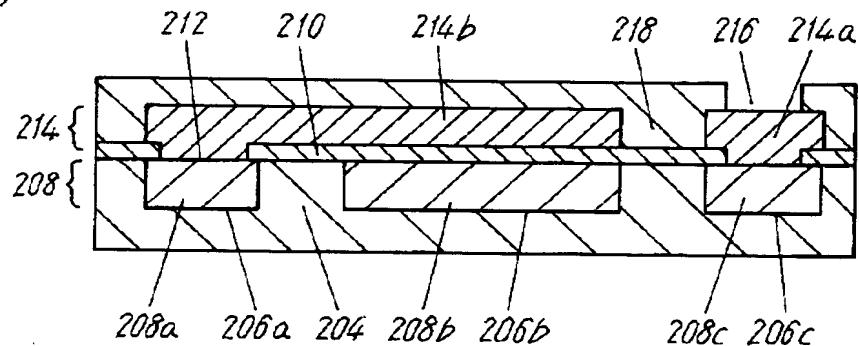
(b)



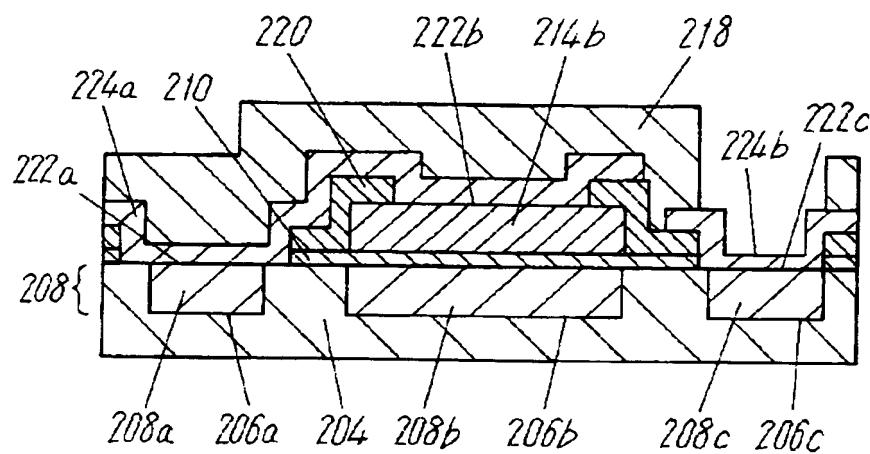
(c)



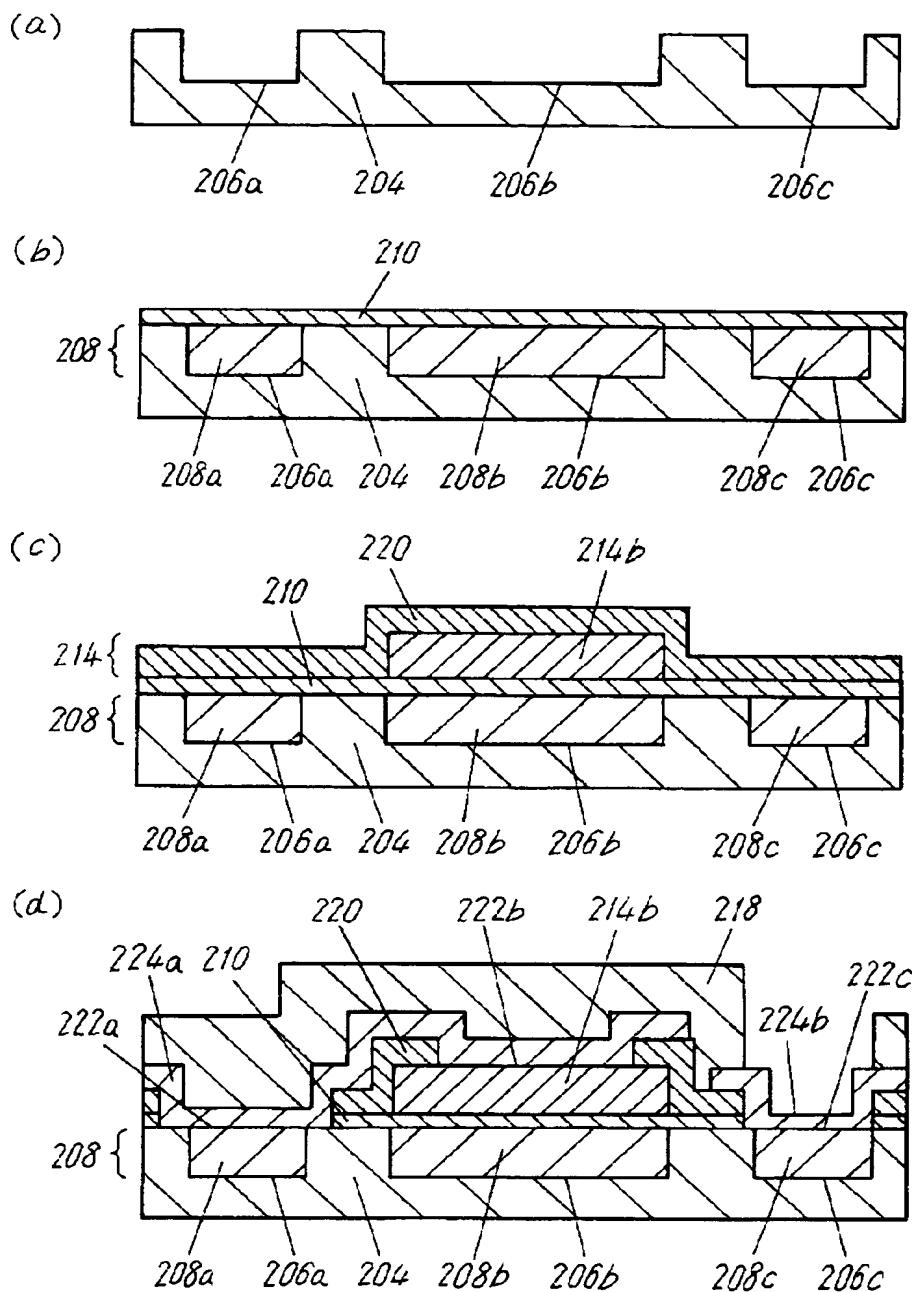
(d)



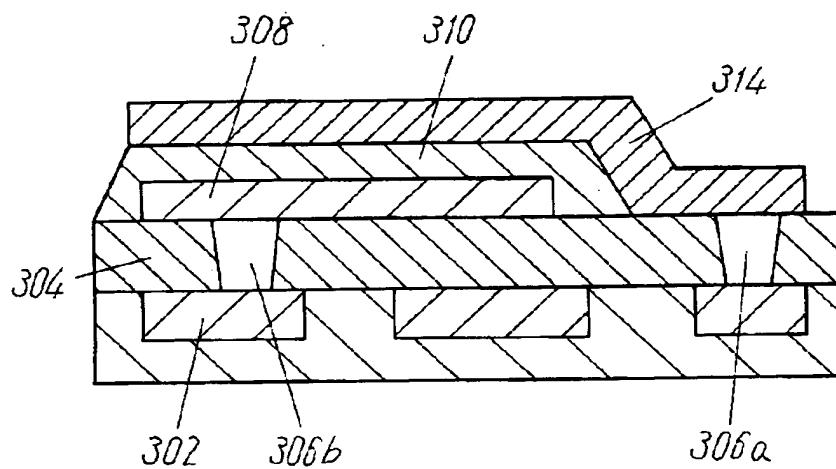
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 MIMキャパシタを有する半導体装置において、高容量で信頼性の高いMIMキャパシタを簡易な製造方法で形成する。

【解決手段】 半導体基板上に形成された第1層間絶縁膜204に電気メッキ法で銅からなる第1金属層208を埋め込み、CMP法により研磨し、配線208aと下部電極208bとパッド部208cを同時に形成する。そして、キャパシタの容量膜及び銅の拡散防止膜としての窒化シリコン膜からなる容量絶縁膜210を形成する。そして、容量絶縁膜210上にアルミからなる第2金属層214を形成し、容量絶縁膜210を介して下部電極208bに対向するように上部電極214bを形成する。このとき上部電極214bは下層の配線208aと接続孔212を介して電気的に接続され、さらに、同時にパッド電極214aを形成する。

【選択図】 図2

特願 2002-286767

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地
氏名 松下電器産業株式会社